

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-209221
 (43)Date of publication of application : 25.07.2003

(51)Int.Cl. H01L 27/10
 H01L 21/3205
 H01L 21/60
 H01L 21/82

(21)Application number : 2002-315273 (71)Applicant : SAMSUNG ELECTRONICS CO LTD
 (22)Date of filing : 30.10.2002 (72)Inventor : SONG YOUNG-HEE
 SAI ICHIKO
 SON MIN-YOUNG
 PARK MIN-SANG

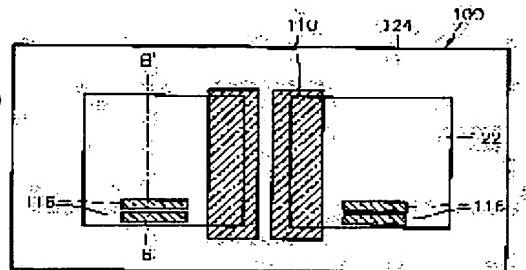
(30)Priority
 Priority number : 2001 200168159 Priority date : 02.11.2001 Priority country : KR

(54) SEMICONDUCTOR ELEMENT AND FABRICATING METHOD OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor element and its fabricating method in which the degree of integration can be enhanced while solving problems during laser repair.

SOLUTION: The semiconductor element comprises a semiconductor substrate 100, a cell region 122 formed on the semiconductor substrate 100, a peripheral region 124 formed on other region of the semiconductor substrate 100, and a fuse circuit part 116 formed on the cell region 122. The semiconductor chip is reduced in size by forming the fuse circuit part 116 to be shifted from the peripheral region 124 to the cell region 122 of a memory element. Problems during laser repair can be solved by forming the fuse circuit part 116 on the same plane as a pad rearrangement pattern 110 located on the final protective film. A fuse pattern existing at the fuse circuit part 116 is preferably formed thinner than the pad rearrangement pattern 110.



LEGAL STATUS

[Date of request for examination] 25.10.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-209221

(P2003-209221A)

(43) 公開日 平成15年7月25日 (2003.7.25)

(51) Int.Cl.⁷

H 01 L 27/10
21/3205
21/60
21/82

識別記号

4 9 1
3 0 1

F I

H 01 L 27/10
21/60
21/88

マークド(参考)

4 9 1 5 F 0 3 3
3 0 1 N 5 F 0 4 4
3 0 1 P 5 F 0 6 4
Z 5 F 0 8 3

T

審査請求 未請求 請求項の数31 O L (全 10 頁) 最終頁に続く

(21) 出願番号

特願2002-315273(P2002-315273)

(22) 出願日

平成14年10月30日 (2002. 10. 30)

(31) 優先権主張番号 2001-68159

(32) 優先日 平成13年11月2日 (2001. 11. 2)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社
大韓民国京畿道水原市八達区梅蘿洞416

(72) 発明者 宋 永信

大韓民国京畿道城南市盆唐区盆唐洞セビ
ヨルマウル東星アパート206棟202号

(72) 発明者 崔 一興

大韓民国忠清南道天安市双龍洞1923番地東
亞碧山アパート101棟801号

(74) 代理人 100093779

弁理士 服部 雅紀

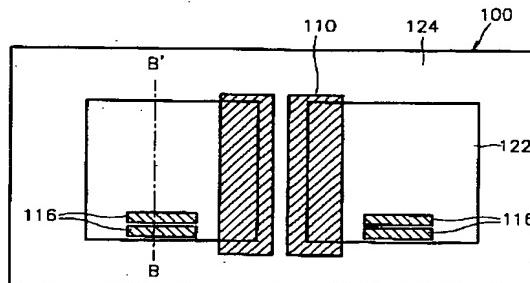
最終頁に続く

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】 集積度を改善し、レーザ修理時に生じる問題点を改善できる半導体素子及びその製造方法を提供する。

【解決手段】 半導体素子は、半導体基板100と、半導体基板100上に形成されたセル領域122と、半導体基板100の他領域に形成された周辺領域124と、セル領域122上に形成されたヒューズ回路部116によりなる。ヒューズ回路部116をメモリ素子の周辺領域124からセル領域122に移して形成することにより半導体チップを小さくし、ヒューズ回路部116を最終保護膜上にあるパッド再配置パターン110と同一平面上に形成することにより、レーザ修理時に生じる問題点を解決できる。ここで、ヒューズ回路部116に存在するヒューズバターンはパッド再配置パターン110よりも薄く形成することが望ましい。



1

2

【特許請求の範囲】

【請求項 1】 半導体基板と、
半導体基板上に形成されたセル領域と、
前記半導体基板上の他領域に形成された周辺領域と、
セル領域上に形成されたヒューズ回路部と、
を備えることを特徴とする半導体素子。

【請求項 2】 前記ヒューズ回路部は、前記セル領域上
にてパッド再配置パターンと同一平面にあることを特徴
とする請求項 1 に記載の半導体素子。

【請求項 3】 前記セル領域及び前記周辺領域は、D R
A M の機能を果たす回路部であることを特徴とする請求
項 1 に記載の半導体素子。

【請求項 4】 半導体基板と、
半導体基板上に下部構造が配され、その下部構造の上部
に形成されパッド部分が露出している第 1 最終保護膜
と、

前記第 1 最終保護膜のバーニングにより前記下部構造
から露出したパッドと、
前記パッドと連結されて第 1 最終保護膜上に形成された
パッド再配置パターンと、

前記下部構造と連結されて前記第 1 最終保護膜の表面に
露出したヒューズ形成用プラグと、
前記ヒューズ形成用プラグと連結されて前記パッド再配
置パターンと同一平面に構成されたヒューズパターン
と、

前記パッド再配置パターンの一部を露出させ、前記パ
ッド再配置パターンの一部及び前記ヒューズパターンを覆
う第 2 最終保護膜と、
前記露出したパッド再配置パターンと連結された外部連
結端子と、
を備えることを特徴とする半導体素子。

【請求項 5】 前記パッド再配置パターンは、ボンドパ
ッドをセンタパッド型からエッジパッド型に転換するた
めに使われることを特徴とする請求項 4 に記載の半導
体素子。

【請求項 6】 前記外部連結端子は、ワイヤボンディング
で形成される金線であることを特徴とする請求項 4 に記載
の半導体素子。

【請求項 7】 前記下部構造は、セル領域と周辺領域と
に区分されて D R A M の機能を果たす回路部であること
を特徴とする請求項 4 に記載の半導体素子。

【請求項 8】 前記ヒューズパターンは、セル領域の上
部に形成されていることを特徴とする請求項 4 に記載
の半導体素子。

【請求項 9】 半導体基板と、
半導体基板上に下部構造が配され、その下部構造の上部
に形成されパッド部分が露出している最終保護膜と、
最終保護膜上に形成されて前記半導体基板を平坦化さ
せ、パッド部分が露出している第 1 絶縁膜と、
前記最終保護膜及び前記第 1 絶縁膜のバーニングによ

10

20

30

40

50

り前記下部構造から露出したパッドと、
前記パッドと連結されて第 1 絶縁膜上に形成されたパッ
ド再配置パターンと、

前記下部構造と連結されて前記第 1 絶縁膜の表面に露
出したヒューズ形成用プラグと、
前記ヒューズ形成用プラグと連結されて前記パッド再配
置パターンと同一平面に構成されたヒューズパターン
と、

前記パッド再配置パターンの一部を露出させ、前記パ
ッド再配置パターンの一部及び前記ヒューズパターンを覆
う第 2 絶縁膜と、
前記露出したパッド再配置パターンと連結された外部連
結端子と、
を備えることを特徴とする半導体素子。

【請求項 10】 前記下部構造は、セル領域と周辺領域
とに区分されて D R A M の機能を果たす回路部であるこ
とを特徴とする請求項 9 に記載の半導体素子。

【請求項 11】 前記ヒューズ形成用プラグは、前記下
部構造のピットラインパターンまたはワードラインパタ
ーンのいずれかと連結されていることを特徴とする請求
項 9 に記載の半導体素子。

【請求項 12】 前記パッド再配置パターンは、複数の
導電層よりなる多層膜であることを特徴とする請求項 9
に記載の半導体素子。

【請求項 13】 前記導電層は、クロム、銅、ニッケ
ル、金、アルミニウム、チタン及び窒化チタンよりなる
導電物質群のうちから選択されたいずれか一つの物質を
含む膜であることを特徴とする請求項 12 に記載の半導
体素子。

【請求項 14】 前記ヒューズパターンは、セル領域の
上部に形成されていることを特徴とする請求項 9 に記載
の半導体素子。

【請求項 15】 前記第 1 絶縁膜は、H D P 酸化膜、ベ
ンゾサイクロブテン、ポリベンゾオキサゾール及びポリ
イミドよりなる絶縁物質群のうちから選択されたいずれ
か一つの物質を含む单一膜または多層膜であることを特
徴とする請求項 9 に記載の半導体素子。

【請求項 16】 前記第 2 絶縁膜は、ポリイミドを含む
单一膜または多層膜であることを特徴とする請求項 9 に
記載の半導体素子。

【請求項 17】 前記ヒューズパターンは、前記パッド
再配置パターンの一部をエッチングすることにより形成
された单一膜または多層膜であることを特徴とする請求
項 9 に記載の半導体素子。

【請求項 18】 前記ヒューズパターンは、タンゲステ
ン、クロム、チタン及びチタンタンゲステンのうちから
選択されたいずれか一つの物質を含む单一膜あるいは多
層膜であることを特徴とする請求項 17 に記載の半導
体素子。

【請求項 19】 メモリ機能を果たしセル領域と周辺領

域とに区分される下部構造を半導体基板上に形成する第1工程と、

バッド部分を除外した半導体基板を覆う最終保護膜を下部構造上に形成する第2工程と、

最終保護膜上にバッド再配置パターンとヒューズパターンとを同一平面上に形成するとともに、前記ヒューズパターンをセル領域上に形成する第3工程と、

を含むことを特徴とする半導体素子の製造方法。

【請求項20】前記メモリ機能を果たす下部構造は、DRAM回路部であることを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項21】前記第2工程の後、バッド部分を露出させる第1絶縁膜を前記最終保護膜上に形成する工程をさらに含むことを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項22】前記第1絶縁膜は、HDP酸化膜、ベンジサイクロブテン、ポリベンゾオキサゾール及びポリイミドよりなる絶縁物質群のうちから選択されたいずれか一つの物質を含む単一膜または多層膜より形成されることを特徴とする請求項21に記載の半導体素子の製造方法。

【請求項23】前記第1絶縁膜を形成した後、前記第1絶縁膜にバターニングを進め、前記下部構造と連結されたビアホールを形成する工程と、前記ビアホールに導電物質を埋め込む工程と、をさらに含むことを特徴とする請求項21に記載の半導体素子の製造方法。

【請求項24】前記第3工程のバッド再配置パターンとヒューズパターンとは、同一工程によって形成されることを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項25】前記第3工程の後、前記ヒューズパターンにエッティングを進め、前記ヒューズパターンを薄くする工程をさらに含むことを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項26】前記第3工程の後、前記バッド再配置パターンの一部を露出させ前記ヒューズパターンを覆う第2絶縁膜を形成する工程をさらに含むことを特徴とする請求項25に記載の半導体素子の製造方法。

【請求項27】前記第2絶縁膜は、ポリイミドを含む単一膜または多層膜を使用して形成されることを特徴とする請求項26に記載の半導体素子の製造方法。

【請求項28】前記第2絶縁膜を形成した後、前記ヒューズパターンをレーザで所定に切り前記セル領域の不良セルを修理する工程をさらに含むことを特徴とする請求項26に記載の半導体素子の製造方法。

【請求項29】前記ヒューズパターンをレーザで切る工程を進めた後、前記露出したバッド再配置パターンに外部連結端子を形成する工程をさらに含むことを特徴とする請求項28に記載の半導体素子の製造方法。

【請求項30】前記外部連結端子を形成する工程は、ワイヤボンディングを行う工程であることを特徴とする請求項29に記載の半導体素子の製造方法。

【請求項31】前記外部連結端子を形成する工程は、ソルダボールを付着させる工程であることを特徴とする請求項29に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子及びその製造方法に関し、さらに詳細には半導体素子内部に欠陥駆除回路及びヒューズ回路部を有する半導体素子及びその製造方法に関する。

【0002】

【従来の技術】半導体メモリ素子においてデザインルールがサブミクロンレベルに微細化されるにつれ、DRAMにおいても集積度が高い256メガDRAMがメイン機種となっている実状である。半導体素子を製造する工程では、256メガと共に数多くのメモリセルのうち、一つのセルでも欠陥があれば良品としての役割を果たせずに不良品として処理される。

【0003】しかし、DRAMの集積度が高まるにつれ、少量のセルにだけ不良が生じる確率は一層高まっている。かような現実において、少量のセルに不良が生じた半導体素子を不良品として廃棄処分するということは、半導体素子の全体収率を低下させる非効率的な方式である。

【0004】従って、かような非効率的な方式を改善するため、半導体素子にあらかじめ形成された余分なメモリセル回路部を利用し、不良が生じた少量のメインセルを余分なメモリセル回路部に替えることにより収率を高める方式が採択されている。かような方式は64～256KDRAMにて本格的に採用されているのであるが、余分なメモリセル回路部をあらかじめ準備しておき、メインセルで不良が生じれば、これに該当するアドレスを余分なメモリセル回路部のコラム／ローラインのアドレスに置換する方式が主に使われる。

【0005】従って、ウェーハを製造する工程が終了したら、電気的検査を通じてメインセルから不良メモリセルを選び出し、それに該当するメモリセルのアドレスを余分なメモリセル回路部のアドレスに替えるプログラミングを行うのであるが、これを一般的にレーザ修理工程と言う。かようなレーザ修理工程はメインセルと余分なセルとを連結するヒューズ回路部を切ることにより進められる。

【0006】これにより、集積度が高い半導体メモリ素子を実際に使用する時、不良セルに該当するアドレスが入力されれば、半導体メモリ素子は余分なメモリセル回路部にある予備アドレスに選択が変わって作動する。図1は、従来技術によるヒューズ回路部を含む半導体素子を概略的に示すレイアウト図である。

【0007】図1に示すように、一般的なメモリ回路、例えばDRAM回路は大きくセル領域30と周辺領域40とに区分される。セル領域30はメモリ容量に相応するメモリセルが集団的に形成され、周辺領域40には前記セル領域30にある単位セルを駆動するためのデコーダ(図示せず)、バッファ回路(図示せず)、駆除欠陥回路部(図示せず)及びヒューズ回路部14'などが含まれる。すなわち、周辺領域40は前記セル領域30を除外したあらゆる領域を指す。

【0008】ここで、パッド再配置パターン22は半導体素子の最終保護膜下に形成されたパッドを再配置するために使われる導電パターンであり、ウェーハレベルパッケージ(以下、ウェーハレベルパッケージを「WLP」とする)に加工する時に使われるパターンを指す。

【0009】図2は従来技術によるヒューズ回路部を含む半導体素子を概略的に示す断面図である。図2に示すように、一般的なヒューズ回路を含む半導体DRAM素子を製造する方法では、半導体基板10上に下部構造12、例えばセル領域と周辺領域とに区分され、ゲート電極、ピットライン、キャバシタ及び金属配線などを含むDRAM回路部を一般的な方法により形成する。次に、前記DRAM回路部の機能を外部に拡張するためのパッド16を形成する。その後、最終保護膜18と第1絶縁膜20を順次形成した後、前記パッド16を露出させるバーニング工程を進める。最後に、前記第1絶縁膜20上に前記パッド16と連結されるパッド再配置パターン22を形成した後、外部連結端子が設置される部分を露出させる第2絶縁膜24を形成する。前記外部連結端子はWLPに使われるソルダボール、ソルダバンプなどになりうる。

【0010】しかし、前述の従来技術によるヒューズ回路部を含む半導体素子は次のような問題点を有する。第一に、持続的に集積度を高める半導体メモリ素子にてヒューズ回路部が周辺領域に位置し一定領域を占めるために、半導体メモリ素子の集積度を増大させる側面で改善の余地を有している。

【0011】第二に、WLPではない一般的なSOP(Small Out-line Package)やQFP(Quad Flat Package)の場合には、最終保護膜18上部に第1絶縁膜20、パッド再配置パターン22及び第2絶縁膜24が形成されないために、最終保護膜18下部のヒューズパターン14をレーザを使用して切断するのに特に大きな問題はなかった。

【0012】しかし、WLPの場合には最終保護膜18上部に第1絶縁膜20、パッド再配置パターン22及び第2絶縁膜24が形成されるために、レーザ光線が照射される半導体メモリ素子の表面とヒューズパターン14との間のギャップが大きくなつて、レーザ修理にさまざまな問題点を伴う。一例として、前記大きくなつたギャップによりレーザビームのフォーカスがずれる問題が生

じる。これを解決するためには、ヒューズパターン14の幅を広めねばならないが、これは高集積化を追求する半導体メモリ素子の製造方式に逆行する結果を招く。

【0013】

【発明が解決しようとする課題】本発明の目的は、集積化に有利であり、レーザ修理時に生じる工程上の問題点を改善できる半導体素子を提供することにある。本発明の他の目的は、前記半導体素子の製造方法を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため本発明は、半導体基板と、前記半導体基板上に形成されたセル領域と、前記半導体基板上の他領域に形成された周辺領域と、前記セル領域上に形成されたヒューズ回路部とを備えることを特徴とする半導体素子を提供する。

【0015】前記ヒューズ回路部は前記セル領域上にてパッド再配置パターンと同一平面にあることが適し、前記セル領域及び周辺領域はDRAMの機能を果たす回路部であることが適している。また、前記パッド再配置パターンは半導体チップ上に形成されたパッドをセンタパッド型からエッジパッド型に転換させるためのものであるか、あるいはソルダボールパッドに転換するためのものであることが望ましい。

【0016】前記目的を達成するために本発明は、半導体基板と、前記半導体基板上に下部構造が配され、その上部に形成されてパッド部分が露出している最終保護膜と、前記最終保護膜上に形成されて半導体基板を平坦化させつつパッド部分が露出した第1絶縁膜と、前記最終保護膜及び第1絶縁膜をバーニングして下部構造から露出したパッドと、前記パッドと連結されて前記第1絶縁膜上に形成されたパッド再配置パターンと、前記下部構造と連結されて前記第1絶縁膜表面に露出したヒューズ形成用プラグと、前記ヒューズ形成用プラグと連結されて前記パッド再配置パターンと同一平面に構成されたヒューズパターンと、前記パッド再配置パターンの一部を露出させつつ前記パッド再配置パターンの一部及びヒューズパターンを覆う第2絶縁膜と、前記露出したパッド再配置パターンと連結された外部連結端子とを備えることを特徴とする半導体素子を提供する。

【0017】前記下部構造はセル領域と周辺領域とに区分されてDRAMの機能を果たす回路部であり、前記ヒューズ形成用プラグは前記下部構造のピットラインパターンまたはワードラインパターンのいずれかと連結されていることが適している。望ましくは、前記パッド再配置パターンは複数の導電層よりなる多層膜であることが適し、かような導電層はクロム、銅、ニッケル、金、アルミニウム、チタン及び窒化チタンよりなる導電物質群のうちから選択されたいずれか一つを含む膜であることが適している。

【0018】前記ヒューズパターンは前記セル領域の上部に形成されることが望ましく、前記第1絶縁膜はH D P (High Density Plasma)酸化膜、ベンゾサイクロブテン (B C B) 、ポリベンゾオキサゾール (P B O) 及びポリイミドよりなる絶縁物質群のうちかた選択されたいずれか一つを含む单一膜あるいは多層膜であることが適し、前記第2絶縁膜はポリイミドを含む单一膜あるいは多層膜であることが望ましい。

【0019】また、前記ヒューズパターンは前記パッド再配置パターンの一部をエッチングして形成された单一膜あるいは多層膜であって前記パッド再配置パターンよりは薄く、タングステン、クロム、チタン及びチタンタンクステンのうちかた選択されたいずれか一つを含む单一膜あるいは多層膜であることが適している。

【0020】前記外部連結端子はソルダボールあるいは金線であることが適している。前記他の目的を達成するために本発明は、メモリ機能を果たし、セル領域と周辺領域とに区分される下部構造を半導体基板上に形成する第1工程と、パッド部分を除外した半導体基板を覆う最終保護膜を前記下部構造上に形成する第2工程と、前記最終保護膜上にパッド再配置パターンとヒューズパターンとを同一平面上に形成するとともに、前記ヒューズパターンをセル領域上に形成する第3工程とを含むことを特徴とする半導体素子の製造方法を提供する。

【0021】前記第2工程後、前記最終保護膜上にパッド部分を露出させる第1絶縁膜を形成する工程をさらに含むことが適し、前記第1絶縁膜を形成した後、前記第1絶縁膜にバーニングを進めて前記下部構造と連結されたビアホールを形成する工程と、前記ビアホールに導電物質を埋め込む工程とをさらに含むことが望ましい。

【0022】また、望ましくは前記第3工程のパッド再配置パターンとヒューズパターンとは同一工程より形成することが適し、前記第3工程後、前記ヒューズパターンにエッチングを進めてヒューズパターンを薄くする工程をさらに含むことが適している。

【0023】そして、前記第3工程後、前記パッド再配置パターンの一部を露出させつつ前記ヒューズパターンを覆う第2絶縁膜を形成する工程と、前記第2絶縁膜を形成した後、前記ヒューズパターンをレーザで適切に切って前記セル領域の不良セルを修理する工程とをさらに含むことが望ましい。また、前記ヒューズパターンをレーザで切る工程を進めた後で、前記露出したパッド再配置パターンに外部連結端子を形成する工程をさらに含むことが望ましい。

【0024】本発明によれば、欠陥駆除回路及びヒューズ回路部を有する半導体メモリ素子にて、ヒューズ回路部を周辺領域ではないセル領域上に形成することにより集積度を改善し、ヒューズ回路部を最終保護膜下ではないその上部に位置するようにチップ設計を変更することにより、ヒューズを切る時に生じる問題を改善できる。

【0025】

【発明の実施の形態】以下、図面を参照して本発明の望ましい実施例を詳細に説明する。しかし、次に開示される実施例は本発明を限定する意味で提供されるわけではなく、本発明が属する技術分野にて一般的な知識を有した者に、本発明の開示が実施可能な形で完全に、なるべく発明の範疇を示すために提供される。

【0026】本発明にて言う半導体素子は広い意味で使用しており、DRAMのような特定機能を果たす半導体素子だけに限定するのではない。また、本発明はその精神及び必須の特徴を離脱せずに以下の実施例以外の他方式で実施できる。例えば、以下の望ましい実施例においては外部連結端子としてソルダボールを用いたが、ソルダバンプを用いてもよい。また、本発明が実現される半導体素子の種類をDRAMではない他のメモリ、例えばFRAM (Ferroelectric Random Access Memory)、SRAM (Static Random Access Memory) またはNVM (Non-Volatile Memory) などに置換して適用可能である。従って、次の望ましい実施例にて記載した内容は例示的なものであって、限定する意味で提供されるわけではない。

【0027】図3は、本発明の第1及び第2実施例による半導体素子を概略的に示すレイアウト図である。図1に示した従来技術ではヒューズ回路部116が周辺領域124に存在したが、図3に示すように、本発明の実施例ではこれをセル領域122上部に移動するチップにデザイン変更をした。

【0028】図4は本発明の第1及び第2実施例による半導体素子を構成した時、従来技術と比較して集積度が改善されたことを説明するための断面図である。図4において、上の断面図は図1のA-A'面に対する断面図であり、下の断面図は図3のB-B'面に対する断面図である。従って、ヒューズ回路部116を周辺領域124からセル領域122上に移動させるにつれ、図面に示された「D」ほどの空間を縮少できる。かような空間Dは一つのウェーハにて生産できるチップ数を増やす手段になりうる。

【0029】従って、本発明の第1及び第2実施例による駆除欠陥回路及びヒューズ回路部を含む半導体素子の構成は、半導体基板100と、前記半導体基板100上に形成されたセル領域122と、前記半導体基板100の他領域に形成された周辺領域124と、前記セル領域122上に形成されたヒューズ回路部116とよりなるが、前記ヒューズ回路部の位置は本発明の目的を達成する主要な手段になることを確認できる。前記ヒューズ回路部116の正確な位置は以下の第1及び第2実施例にある断面図を通じて詳細に言及する。

【0030】<第1実施例>図5から図8は本発明の第1実施例によるセル領域上のパッド再配置パターンにヒ

ヒューズ回路部が構成された半導体素子の製造方法を説明するための断面図である。本実施例のパッド再配置パターンはセンタ型ボンドパッドをエッジ型ボンドパッドに転換させる目的で使われる。

【0031】図5に示すように、半導体基板100に一般的な方法により下部構造102、例えばフィールド酸化膜、ゲート電極、ピットライン、キャバシタ及び金属配線などを含むDRAM回路部を周辺領域とセル領域とにそれぞれ形成する。次に、最終保護膜106を蒸着した後、前記最終保護膜106にバーニングを進めてパッド104を露出させる。

【0032】図6に示すように、前記パッド104が形成された最終保護膜106上にパッド再配置パターン110形成のための導電膜、例えばクロム、銅、ニッケル、金、アルミニウム、チタン及び窒化チタンよりなる導電物質群のうちから選択されたいずれか一つを含む膜を蒸着する。その後、前記導電膜をバーニングしてパッド再配置パターン110とヒューズパターン116aをそれぞれ形成する。

【0033】この時、前記パッド再配置パターン110とヒューズパターン116aとは同一平面にあるが、上から見た時は互いに重ならない形である。前記パッド再配置パターン110はセンタ型ボンドパッドをエッジ型ボンドパッドに転換するための目的で形成される。また、前記ヒューズパターン116aは周辺領域ではないセル領域上に形成されることが適している。次に、前記パッド再配置パターン110が形成された半導体基板上に追加された最終保護膜107を形成した後、バーニングしてエッジ型ボンドパッド126を露出させる。

【0034】図7は、パッド再配置パターン110の形成工程を進めた後、本来のパッド104の状態がセンタ型からエッジ型ボンドパッド126に転換されたことを示す。すなわち、図面の左側はパッド再配置パターン110を適用しなかった時のパッド104の位置を示し、右側はパッド再配置パターン110を適用してセンタ型ボンドパッドをエッジ型ボンドパッド126に転換した状態を示す。

【0035】図8に示すように、露出したエッジ型ボンドパッド126上にワイヤボンディング、換言すれば金線を利用したボールボンド128を形成して、半導体チップの機能を外部に拡張する。この第1実施例に示された最終保護膜106及び追加された最終保護膜107は単一膜あるいは多層膜を使用して、さまざまな形態に変形することが可能である。

【0036】<第2実施例>図9から図12は本発明の第2実施例による最終保護膜上のセル領域にヒューズ回路部が構成された半導体素子の製造方法を説明するための断面図である。本実施例のパッド再配置パターンはソルダボールパッドを形成する目的で使われる。

【0037】図9に示すように、半導体基板100に一

般的な方法により下部構造102、例えばフィールド酸化膜、ゲート電極、ピットライン、キャバシタ及び金属配線などを含むDRAM回路部を周辺領域とセル領域とにそれぞれ形成する。次に、最終保護膜106を蒸着した後、前記最終保護膜106にバーニングを進めてパッド104を露出させる。

【0038】図10に示すように、前記最終保護膜106が形成された結果物に第1絶縁膜108、例えばHDP酸化膜、BCB、PBO及びポリイミドよりなる絶縁物質群のうちから選択されたいずれか一つを含む单一膜あるいは多層膜を積層して平坦化させる。

【0039】その後、前記第1絶縁膜106にフォトレジストを塗布して写真及びエッチング工程を進め、下部構造のピットラインあるいはワードラインを連結するピアコンタクトホールを形成する。次に、前記ピアコンタクトホールに導電物質を埋め込んでヒューズ形成用プラグ112を形成する。

【0040】次に、前記結果物にパッド再配置パターン110及びヒューズパターン116aを形成するための導電膜を形成した後、バーニングを進めてパッド再配置パターン110及びヒューズパターン116aを同一工程で同時に形成する。この時、前記導電膜はタンクステン、クロム、チタン及びチタンタンクステンのうちから選択されたいずれか一つを含む单一膜あるいは多層膜を使用して形成できる。

【0041】ここで、従来技術では下部構造102のピットライン／ワードライン配線を周辺領域に延長して、ヒューズパターン116aがあるヒューズ回路部を構成したが、本実施例ではセル領域上にすぐにヒューズパターン116aを構成する。図11に示すように、前記結果物上に第2絶縁膜114、例えばポリイミドを含む单一膜あるいは多層膜を蒸着した後、前記第2絶縁膜114上にフォトレジストを塗布し、写真及びエッチング工程を進めて、前記パッド再配置パターン110の一部を露出するソルダボールパッド118を形成する。

【0042】図12に示すように、前記ソルダボールパッド118が形成された結果物にレーザ修理工程を進める。従って、電気的検査工程の結果により得られたセル領域に存在する不良セルがレーザ修理工程でヒューズパターン116bを選択的に切ることにより、駆除欠陥回路の余分メモリセルに替えることができる。

【0043】この時、従来技術ではレーザビームが最終保護膜106下まで浸透して最終保護膜106下に存在したヒューズパターンを切らねばならなかったため、フォーカスがずれる問題や、これによりヒューズパターン116bの幅を広げる問題が生じた。しかし、本実施例ではこれを半導体素子の表面近くに上げてヒューズパターン116bを形成することにより、レーザビームが達するギャップを減らした。従って、レーザ修理時にフォーカスがずれる問題点も解決されると共に、ヒューズバ

11

ターン116bの位置を周辺領域からセル領域に移動させて配することにより集積度も改善させる効果を得られる。次に、前記レーザ修理工が終わった結果物に外部連結端子、例えばソルダボール120を付着させる。もちろん、前記ソルダボールの代わりにソルダバンプを使用してもよい。

【0044】図12を参照して本発明の第2実施例による駆除欠陥回路及びヒューズ回路部を含む半導体素子の構成をさらに細密に説明すれば次の通りである。本発明の第2実施例による半導体素子の構成は、(1)半導体基板100と、(2)前記半導体基板100上に下部構造102を配し、その上部に形成されてパッド部分が露出した最終保護膜106と、(3)前記最終保護膜106上に形成されて半導体基板を平坦化させつつパッド部分が露出した第1絶縁膜108と、(4)前記最終保護膜106及び第1絶縁膜108をバーニングして下部構造から露出させたパッド104と、(5)前記パッド104と連結されて前記第1絶縁膜106上に形成されたパッド再配置パターン110と、(6)前記下部構造102と連結されて前記第1絶縁膜108表面に露出したヒューズ形成用プラグ112と、(7)前記ヒューズ形成用プラグ112と連結されて前記パッド再配置パターン110と同一平面に構成され、セル領域の上部に構成されたヒューズバーン116bと、(8)前記パッド再配置パターン110の一部を露出させつつ前記パッド再配置パターン110の一部及びヒューズバーン116bを覆う第2絶縁膜114と、(9)前記露出したパッド再配置パターン118と連結された外部連結端子120となる。ここで、前記最終保護膜106上にてセル領域に形成されるヒューズバーン116bは本発明の目的を達成する主要な手段になる。

【0045】<変形例>図13及び図14は本発明の変形例による半導体素子を示す断面図である。図13及び図14に示すように、前述の第1及び第2実施例ではヒューズバーン116bの厚さをパッド再配置パターン110の厚さとほとんど同一にした。しかし、変形例ではパッド再配置パターン210を多層膜、例えばクロム、銅、ニッケル、金、アルミニウム、チタン及び窒化チタンよりなる導電物質群のうちから選択されたいずれか一つを含む多層膜で第1絶縁膜208上に形成した後、ヒューズバーン216aをエッチングしてヒューズバーン216aをさらに薄く形成する。この時、ヒューズバーン216bをレーザビームで切る時に一層容易にヒュージングができる、レーザ修理工にて収率をさらに高められる長所がある。このようにパッド再配置パターン210よりもエッチングにより一層薄くできるヒューズバーン216aもクロム、銅、ニッケル、金、アルミニウム、チタン及び窒化チタンよりなる導電物質群のうちから選択されたいずれか一つを含む单一膜あるいは多層膜より構成できる。本発明は前記の実施例

12

に限定されず、本発明が属する技術的思想内で当業者により多くの変形が可能であることは明白である。

【0046】

【発明の効果】本発明によれば、第一に、ヒューズ回路部を周辺領域からセル領域に移動させてチップデザインをすることにより、半導体メモリチップの集積度を高められる。第二に、ヒューズ回路部を最終保護膜下から上に移して配することにより、レーザ修理工時に生じるフォーカスズレ問題を改善できる。第三に、ヒューズバーンをエッチングしてパッド再配置パターンよりさらに薄く形成することによりヒュージングを一層容易に進められる。

【図面の簡単な説明】

【図1】従来技術によるヒューズ回路部を含む半導体素子を概略的に示すレイアウト図である。

【図2】従来技術によるヒューズ回路部を含む半導体素子を概略的に示す断面図である。

【図3】本発明の第1及び第2実施例による半導体素子を概略的に示すレイアウト図である。

【図4】本発明の第1及び第2実施例による半導体素子が従来技術と比較して集積度が改善されたことを説明するための断面図である。

【図5】本発明の第1実施例による半導体素子の製造方法を説明するための断面図である。

【図6】本発明の第1実施例による半導体素子の製造方法を説明するための断面図である。

【図7】本発明の第1実施例による半導体素子の製造方法を説明するための断面図である。

【図8】本発明の第1実施例による半導体素子の製造方法を説明するための断面図である。

【図9】本発明の第2実施例による半導体素子の製造方法を説明するための断面図である。

【図10】本発明の第2実施例による半導体素子の製造方法を説明するための断面図である。

【図11】本発明の第2実施例による半導体素子の製造方法を説明するための断面図である。

【図12】本発明の第2実施例による半導体素子の製造方法を説明するための断面図である。

【図13】本発明の変形例による半導体素子を示す断面図である。

【図14】本発明の変形例による半導体素子を示す断面図である。

【符号の説明】

100 半導体基板

102 下部構造

104 パッド

106 最終保護膜

108 第1絶縁膜

110 パッド再配置パターン

112 ヒューズ形成用プラグ

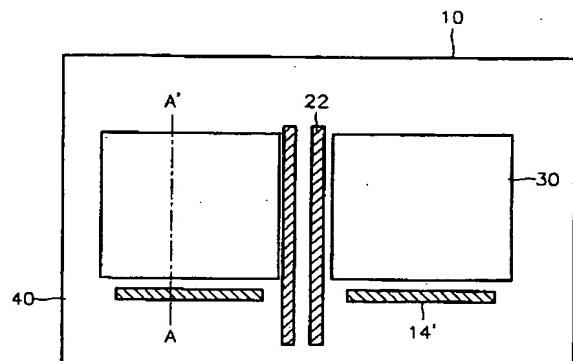
13

14

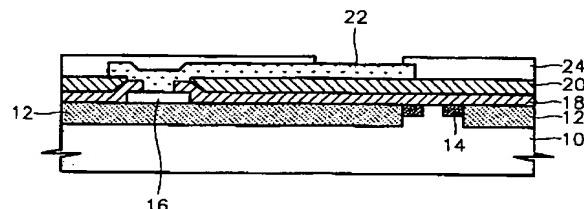
- 114 第2絶縁膜
 116 ヒューズ回路部
 116a、116b ヒューズパターン
 118 ソルダボールパッド
 120 ソルダボール

- * 122 セル領域
 124 周辺領域
 107 追加された最終保護膜
 126 エッジ型ボンドパッド
 * 128 ボールボンド

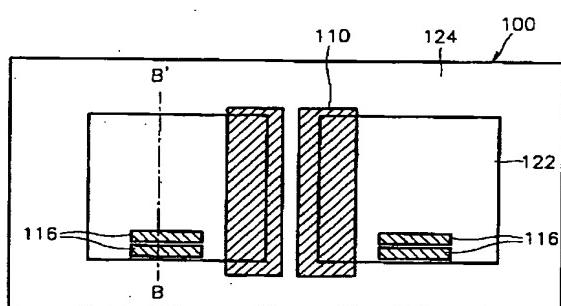
【図1】



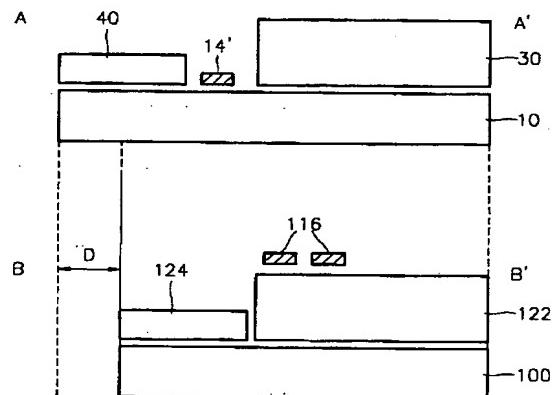
【図2】



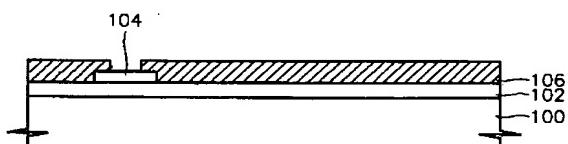
【図3】



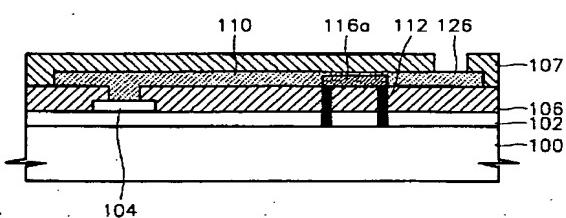
【図4】



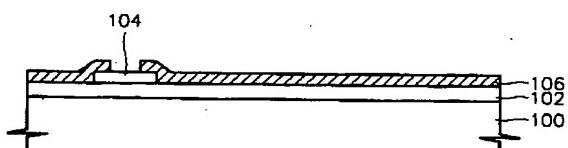
【図5】



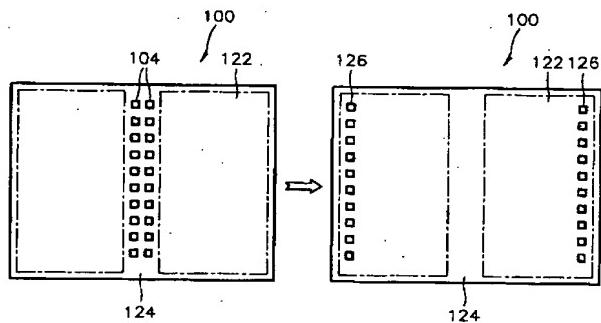
【図6】



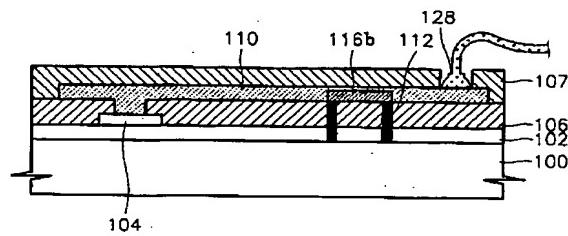
【図9】



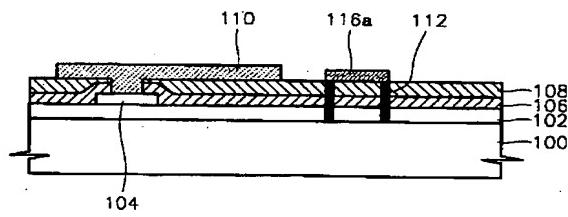
【図7】



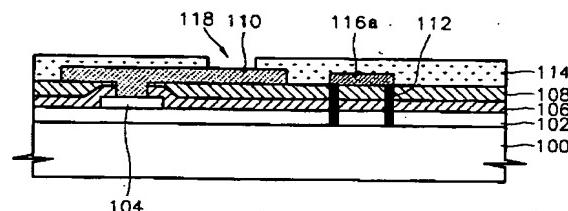
【図8】



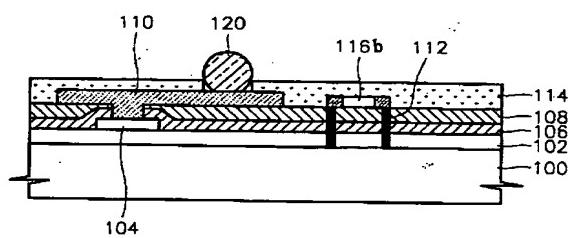
【図10】



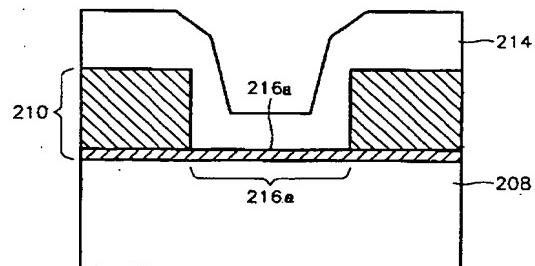
【図11】



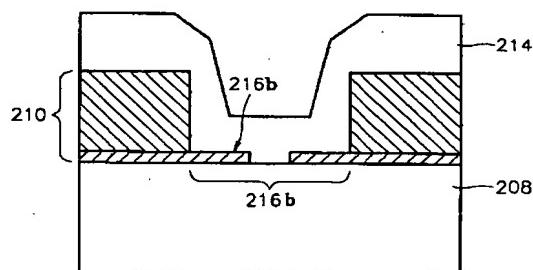
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.C1.⁷ 識別記号 F I テーマコード(参考)
H 0 1 L 21/82 F

(72)発明者 孫 敏栄
大韓民国京畿道水原市八達区靈通洞970-
3番地鬱積谷住公アパート908棟1302号

(72)発明者 朴 ▲文▼相
大韓民国京畿道龍仁市器興邑貢稅1里476
-243番地

F ターム(参考) 5F033 HH07 HH08 HH11 HH13 HH17
HH18 HH33 MM05 RR04 RR21
RR22 W11 W16 XX36
5F044 EE02 EE04 EE06 EE21
5F064 BB13 BB14 BB15 DD42 DD48
EE27 EE32 EE33 EE34 EE53
FF02 FF27 FF32 FF33 FF42
5F083 AD00 BS00 CR12 EP00 GA09
JA36 JA37 JA38 JA39 JA40
JA56 JA58 LA26 LA29 ZA10
ZA20 ZA23